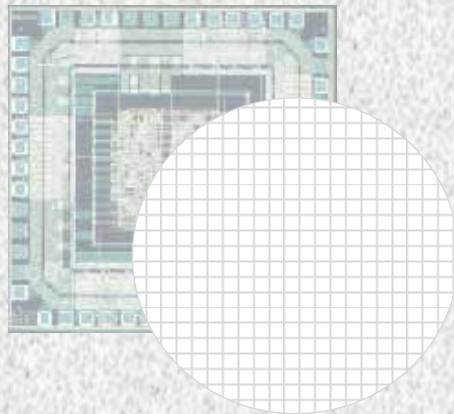


第5章 レイアウト設計



第5章 レイアウト設計

1. アナログ・ブロック設計

1-1 ブロック設計

1.1.1 レイアウト設計の前準備

(1) 回路図または設計指示書から抽出

基本的には、回路設計した設計者から指定されることが一般的であるが、設計者も漏らすこともあるのでレイアウト設計を行う設計者も確認できるようになることが必要である。

相対精度を要求されている素子グループ

- ・ 差動回路の素子
- ・ カレントミラーの素子
- ・ アンプのゲインを決める素子
- ・ 電位を決める素子（例：ラダー抵抗）

絶対精度を要求されている素子グループ

- ・ 回路上で要求されている素子
（絶対精度の場合はレイアウト側で設計する事も多い）
- ・ 形成する素子の種類と製造バラツキの把握
- ・ 特に、設計する抵抗値、比抵抗、温度係数（正 / 負）、絶対精度などで何の材料（拡散層抵抗、ウェル抵抗、ポリシリ抵抗、稀に配線抵抗など）を表1.1のような一覧から抵抗を選択する。

表1.1 プロセスの各層（材料）の特性

Component	Values	Mismatch	Temp. Coefficient	Volt. Coefficient
MOS Cap.	2.2 – 2.7 fF/μm ²	0.05%	50 ppm/°C	50 ppm/V
Poly2/Poly1 Cap.	0.8 – 1.0 fF/ μm ²	0.05%	50 ppm/°C	50 ppm/V
P+ diff. R	80 – 150 Ω/□	0.4%	1500 ppm/°C	200 ppm/V
N+ diff. R	50 – 80 Ω/□	0.4%	1500 ppm/°C	200 ppm/V
Poly R	20 – 40 Ω/□	0.4%	1500 ppm/°C	100 ppm/V
N-well R	1 k– 2k Ω/□	1%	8000 ppm/°C	10k ppm/V

電源/グラウンドの布線

- ・ 相対精度への配線の均等分け
- ・ 精度を要求されている回路への配線
- ・ 大電流の流れる配線
- ・ 電流が多く流れる配線はエレクトロマイグレーション（略してEM）も検討しておく。
- ・ 電流が多く流れる配線に関連して、その電流に対応したVIAの数をEMも考慮して計算しておく
- ・ 入力インピーダンスの高い配線
- ・ 差動回路の入力
- ・ クロスしてはいけない入力と出力

(2) 設計基準と設計ガイド

設計に着手する前に、製造プロセスから規定されている基準類をまず一読しておく。

設計に必要なセルのライブラリーを用意する

DRCやLVSなどの検証ツールに必要なファイルを用意する

レイアウト設計する上でその分野特有のノウハウがあるため、設計ガイドラインも一読しておく。

アンテナ対策やエレクトロマイグレーション（略してEM）などの信頼性関係の基準も事前に一読しておく。

GDS で使用する層がプロセスの何に該当しているか、または擬似エラー対策用や演算用などの層も把握しておく。

アナログ設計者は上記の基準やガイドラインだけでは設計できない場面があり、電気回路や半導体物性や電磁気学などの広い知識で判断する場合もある。

1.2 素子設計

(1) 素子サイズ

MOS トランジスタ

回路設計者が設計で最適化したMOS トランジスタのLとWを指定してくるので、その指定に対して余計な寄生容量が付加されないように素子構造と素子サイズを決める。

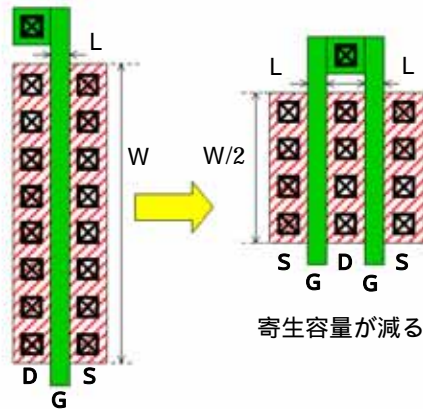


図1.1 L/Wが同じMOSのマルチフィンガタイプ

特に、図1.1のようにWが大きい場合には、マルチフィンガタイプにして、ソースとドレインの共有化をして寄生容量を小さくする。MOSトランジスタのバラツキ原因は V_T と V_T のバラツキであり、それぞれ不純物濃度の揺らぎや移動度 μ のバラツキに起因する。

- ・ V_T のチップ内バラツキ (0.2~10mV)
- ・ I_0 のチップ内バラツキ (0.1~5%)

I_0 のバラツキを小さくするためには、

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \dots \dots \dots \text{式1.1}$$

$$\frac{\Delta I_D}{I_D} = \sqrt{4 \left(\frac{\Delta V_T}{V_{GS} - V_T} \right)^2 + \frac{\Delta \beta}{\beta}} \approx 2 \frac{\Delta V_T}{V_{GS} - V_T}$$

但し、 $\beta = \mu C_{ox} \frac{L}{W}$

から $\Delta_{ov} = V_{GS} - V_T$ を大きめにして、チャネル長Lを $L = 2 \sim 5 \times L_{min}$ にする。チャネル巾Wは小さくする。

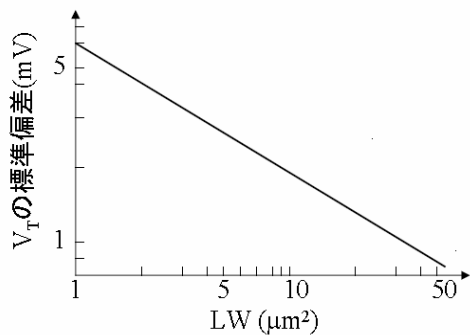


図1.2 MOSの V_T バラツキとLWとの関係