

参考文献・出典・引用

1. 堀田厚生 著 ; 「半導体の基礎理論」, (株)技術評論社、初版 2001 年 11 月
2. 菊池正典 著 ; 「半導体とシステム LSI」, (株)日本実業出版社、初版 2006 年 6 月
3. Behzad Razavi 著、黒田忠広 監訳 ; 「アナログCMOS集積回路の設計(基礎編)」, 丸善(株)
4. Behzad Razavi 著、黒田忠広 監訳 ; 「アナログCMOS集積回路の設計(応用編)」, 丸善(株)
5. 谷口研二 著 ; 「CMOSアナログ回路入門」, CQ出版(株)、初版 2005 年 1 月
6. 遠坂俊昭 著 ; 「PLL回路の設計と応用」, CQ出版(株)、初版 2003 年 11 月
7. 小宮浩 著 ; 「高周波PLL回路のしくみと設計法」, CQ出版(株)、初版 2009 年 10 月
8. 米山寿一 著 ; 「図解 A/Dコンバータ入門」, (株)オーム社、初版 1993 年 3 月
9. 枝均 著 ; 「Verilogによる論理合成の基礎」, (株)テクのプレス、初版 2005 年 1 月
10. 枝均 著 ; 「VHDLによる論理合成の基礎」, (株)テクのプレス、初版 2002 年 8 月
11. Design Wave Magazine 編集部 編 ; 「SystemVerilog 設計スタートアップ入門」, CQ出版(株)
初版 2008 年 5 月
12. 堀桂太郎 著 ; 「PSoice で学ぶ電子回路設計入門」(株)電気書院、2008 年 7 月
13. 小野斉大・田谷文彦・三澤明 著 ; UNIX コマンドブック、2006 年 6 月、SoftBank Creative(株)
14. Arnold Robbins・Nelson H.F.Beebe 著、日向あおい訳 ; 詳解シェルスクリプト、2006 年 1 月、
オライリー・ジャパン(株)
15. Cameron Newham・Bill Rosenblatt 著 ; 入門 bash、2005 年 10 月、オライリー・ジャパン(株)
16. Linda Lamb・Arnold Robbins 著 ; 入門 vi、2002 年 5 月、オライリー・ジャパン(株)
17. KENT WEB Perl 入門
<http://www.kent-web.com/perl/>
18. とほほの perl 入門
<http://www.tohoho-web.com/wwwperl.htm>
19. 平田豊 著 ; Perl トレーニングブック、2004 年 8 月。(株)ソーテック社
20. 内田保雄・富田満 著 ; Perl スクリプティング入門、1998 年 8 月、(株)オーム社
21. Spartan-3E スタートキット・ボードユーザーガイド UG230 (v1.0)、Xilinx 社、2006 年 3 月
http://japan.xilinx.com/support/documentation/boards_and_kits/j_ug230.pdf
22. Spartan-3E FPGAファミリ・データシート DS312-4 (v3.6)、Xilinx社、2007年5月
http://japan.xilinx.com/support/documentation/data_sheets/j_ds312.pdf
23. Quartus II マニュアル、Altera 社、

参考文献・出典・引用

24.deign feature 2003年11月号：

25.EDN

<http://ednjapan.rbi-j.com/content/issue/2003/11/feature/feature02.html>

26.Tech-On

<http://techon.nikkeibp.co.jp/article/WORD/20090107/163735/>

27.(株)半導体理工学研究センター；「設計RTLスタイルガイドVerlog編」初版2003年9月

28. Janick Bergeron 著 STARC/ARM/Synopsys 監訳；「ベリフィケーション・メソドロジ・マニュアル」CQ出版(株)初版2006年4月

29. 「OPENCAD®V5.3(第2版)スタティック・タイミング・チェック PrimeTimeTMインタフェース編」NECエレクトロニクス(株)1999年11月

30. 「半導体 品質/信頼性ハンドブック」NECエレクトロニクス(株)

31. 「静電気放電(ESD)破壊対策ガイド」NECエレクトロニクス(株)

32. 特許庁

<http://www.jpo.go.jp/indexj.htm>

33. 三枝国際特許事務所

http://www.saegusa-pat.jp/index_j.htm

34. オシロスコープ入門

<http://www.cqpub.co.jp/column/books/2001a/11891osiro/default.htm>

35. 「HP-8560E ユーザーズ・ガイド スペアナ取扱説明書」、ヒューレット・パカード社

36. 安浦寛人 著；「ハードウェア設計特論」の資料、2007年5月

37. 相良岩男 著；「A/D・D/A変換回路入門」日刊工業新聞社、初版2003年3月

38. 岩田穆 著「VLSI工学-基礎・設計編」(株)コロナ社、初版2006年10月

39. 「パッケージの紹介と解説」富士通(株)

40. 「SiPの現在と将来」NECエレクトロニクス(株)

41. 日本アルテラ株式会社の小原 也氏の2008/10/31資料

42. 富士通「統計的STAの実用化技術」の資料

43. 富士通「統計的遅延解析技術」の資料

44. NEC OPENCAD V5.3 STAによるサインオフ編ユーザーズ・マニュアル

45. NEC OPENCAD V5.3 スタティック・タイミング・チェックPrimeTimeインタフェース編ユーザーズ・マニュアル

46. STARC「ばらつき考慮設計」資料

49. 小林春夫 著「完全デジタルPLL回路ADPLLを学ぶ」、日経エレクトロニクス2009年6月1日号

- 50.小沢利行 著；「PLL 周波数シンセサイザ回路設計法」、総合電子出版
- 51.SystemVerilogテストベンチチュートリアル、JEITA資料

【本書記載の社名および製品名について】

「第8章 開発ツール」に記載されている「Xilinx」、ザイリンクスのロゴ、ブランド ウィンドウ、ISE WebPACK、Spartan-3E、iMPACT およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。

また、「Altera」、アルテラのロゴ、ブランド ウィンドウ、Quartus およびアルテラが所有する製品名等は、米国 Altera Inc. の米国における登録商標です。

また、「Cadence」、ケーデンスのロゴ、ブランド ウィンドウ、OrCAD およびケーデンスが所有する製品名等は、米国 Cadence Inc. の米国における登録商標です。

さらに、本書に記載されている社名および製品名やツール名は一般に開発メーカーの商標登録です。本文中では、TM、^R、^Cの各表示を省略して明記しておりません。

索引

数字 / 記号

1

1 次 変調 168

2

2 次 変調 160

2 ステップ抵抗型 D / A 変換 175

英字 / ギリシャ文字

A

A / D 変換回路 150

A D P L L 126

always 文 200, 202, 210, 232

assign 文 200, 202, 205, 206

At-speed 336, 375

A T P G 351, 376

B

B C D コード 163

B G A 561

B I S T 355, 357, 367

B O S T 370, 371

C

Capture CIS 695

C M P 508, 510, 531

C M R R 99

C T S 320, 338

C V D 534

C Z 炉 527

D

D / A 変換回路 152, 170

D - F F 304

D C O 回路 128

D ラッチ 304

D F M 508

D F T 324, 343, 351, 355

D F T c o m p i l e r 378

D L L 121

D R B F M 823

D R C 441, 469

E

E B 処理 505

E C O 338, 497

E M C 761

E M I 762

E M S 762

E O S 473

E R C 455, 469

e m a c s 588

F

False Path 396

F A T 820

F B G A 564

F I B 383

F I F O 425, 433, 436

F I R 型フィルタ 166

F M E A 819

F P G A 481

function 文 200, 202, 207

G

Gated Clock 400

generate 文 200, 202

- H**
- HDL 180
- HiSIMモデル 708
- I**
- Iddqテスト 355, 361
- Iddtテスト 374
- II R型フィルタ 166
- initial 文 281
- IOセル 460, 477
- IP 183, 320
- IR-Drop 340, 502
- ISE 630
- ISO9000 791
- J**
- JK - FF 303
- K**
- L**
- LFSR 367
- LINUX 568
- LSIテスター 344
- LOCOS分離 532
- LoC方式 364
- LoS方式 365
- LQFP 563
- LVS 452, 455, 469
- M**
- MISR 368
- Multi Cycle Path 397
- MTBF 817
- MTTF 818
- MTTR 819
- MUXスキャン 257, 360
- module 198
- N**
- n回検出テスト 372
- O**
- OF 528
- OPC 485, 505
- OrCAD 695
- OVL 301
- P**
- PCB 375
- Pcell 449, 454
- PDK 454
- PDCA 811
- perl 586
- PLL 120, 121
- PN接合 25, 27, 29, 30, 34
- PrimeTime 396, 404
- procedure 文 249
- PSpice 694
- Q**
- QA体系図 793
- QC工程表 793
- QC七つ道具 796
- QC新七つ道具 802
- Quratus 638
- R**
- R - 2Rラダー抵抗型 175
- RAM・BIST 369
- RC抽出 349
- Rise / Fail 解析 395
- RS - FF 302
- RTL 181

索引

RTLチェッカー	188	VerilogHDL	183
S		VMM	291
S/N比	758	W	
SCR	359	WPP	564
SDCフォーマット	385,388	X	
SEM	381,830	Y	
SiP	565	Z	
SKILL	449	ZnS 構造	12
SoC	184		
SOI	530	型A/D変換	158
SPICE	672	型A/D変換	158
SPICEモデル	702		
SSTA	412		
STA	385		
SystemC	182		
SystemVerilog	182,266		
T			
T-FF	303		
TAB	558		
TAP	331		
task文	200,203		
TCL	389		
TDC回路	127		
TetraMax	378,379,345		
U			
UNIX	569,570		
V			
VCO	121,123		
VHDL	182,237		
Virtuoso	452		
Viエディタ	581		
Verilog-AMS	182		

五十音

あ

アーキテクチャ宣言	240
アーリー効果	69
アイソレータ	518
アイ・パターン	783
アクセプタ準位	23,24,32
アクティブフィルタ	143
アサーション記述	268,279
アサーション検証	188
アナログPLL	122
アノテーション	455
アドホック手法	355
アライメント工程	537
アバーチャ効果	166
アンテナ対策	493,508
い	
イオン注入工程	537,539
移動度	18,29,48

- 位相比較器・・・・ 122,123,124,125
- 意匠権・・・・ 840,844
- インゴット・・・・ 526
- インスタンス文・・・・ 200,202
- インバータ回路・・・・ 462
- う**
- ウェル形成・・・・ 533
- え**
- エッジ型同期化回路・・・・ 427
- エッチング工程・・・・ 531
- エネルギー準位・・・・ 14,16,18,23
- エレクトロマイグレーション・・・・ 483,489,503
- エンハンスメント型 MOS・・・・ 54
- 演算子・・・・ 235,205,244,245,277,590
- エンティティ宣言・・・・ 240
- お**
- オシロスコープ・・・・ 712
- オフセット誤差・・・・ 172
- オープン故障・・・・ 347
- か**
- カーネル・・・・ 569
- ガードリング・・・・ 450,456,458
- 階層設計・・・・ 222,337,486
- 階段接合・・・・ 33,34
- カウンタ回路・・・・ 308
- 拡散・・・・ 17
- 拡散工程・・・・ 531
- 拡散係数・・・・ 19,20
- 拡散容量・・・・ 31
- 拡散電流・・・・ 19,26,27,28
- 拡張スキャン・・・・ 364,366
- 可制御性・・・・ 354
- 可観測性・・・・ 354
- 化合物半導体・・・・ 11,12
- 価電子帯・・・・ 13,14,16,23,24,30
- カスコード接続増幅回路・・・・ 87
- 仮想プロトタイピング・・・・ 336
- 加速度試験・・・・ 824
- 過度解析・・・・ 678,690
- カレントミラー回路・・・・ 99,103
- 環境変数・・・・ 570,577
- 感応度解析・・・・ 691
- ガンメルブーンモデル・・・・ 702
- ガンメルブーン直流モデル・・・・ 703
- ガンメルブーン小信号モデル・・・・ 706
- ガンメルブーン大信号モデル・・・・ 705
- き**
- 共有結合・・・・ 11,12
- 禁止帯・・・・ 13
- 禁制帯・・・・ 13
- 基板バイアス・・・・ 51
- 寄生抵抗・・・・ 52,74
- 寄生容量・・・・ 52,76
- 寄生インダクタンス・・・・ 77
- 機能カパレッジ・・・・ 182,269,292
- 機能検証・・・・ 269,319
- 許容入力範囲・・・・ 100
- 帰還回路・・・・ 108
- く**
- 偶発故障・・・・ 343,817
- 組合せ回路・・・・ 204,254
- グレー・コード・・・・ 162,435
- グレーコードカウンタ・・・・ 312,426
- クロック・コンパレータ・・・・ 157

索引

クロックスキュー	315
クロックゲーティング	324
クロスカバレッジ	293
クロストーク	416, 457
グローバル配線	492, 493

け

ゲート接地回路	58, 90
ゲートアレー方式	481
形式検証	186, 319, 334
傾斜接合	33, 34
ゲイン誤差	172, 173
元素半導体	11, 12

こ

格子間隔	13
後置フィルタ	170, 171
合成制約	189
工程能力指数 (C p k)	810
交流解析 (A C 解析)	686
故障解析	380, 828
故障検出率	342
故障診断	381, 830
故障モード	380, 816
故障モデル	346, 347
コンタクト	462
コンパレータ	151, 156
コンポーネント宣言	257

さ

再結合	16, 28
再生フィルタ	170
サイリスタ	480
サインオフ検証	320, 339
差動増幅回路	97

サブルーチン	604
サンプルホールド回路	164, 168
参照渡し	278

し

シーケンス演算子	288
時間制御	249, 263
シグナルインテグリティ検証	341, 501
実装工程	522
ジッタ	138, 782
ジッタ抑圧	138
実用新案	843
シフトレジスタ回路	313
シミュレータ	181, 186
シリコンウェハ	526
シリサイド	551
弱反転領域	83
シェル	569
シェルスクリプト	580
順序回路	211, 254
出力段バッファ回路	117
縮退故障	347
冗長故障	350
状態密度関数	14, 16
初期故障領域	343
商標権	845
ジョンソン・カウンタ	311
真性半導体	10, 14, 15, 16, 20, 22
真空準位	35
シングル・ダマシ	509, 548
信号代入文	246
信頼性試験	824

す

- スキュー抑圧・・・・・・・・・・・・・・・・・・ 138
- スキャンテスト・・・・・・・・・・・・・・・・・・ 356
- スキャンパス・・・・・・・・・・・・・・・・・・ 356, 357
- スキャン・チェーン・・・・・・・・・・・・・・・・ 362
- スキャンオーダリング・・・・・・・・・・・・・・ 359
- スコアボード・・・・・・・・・・・・・・・・・・ 295
- スケジューリング機能・・・・・・・・・・・・・・ 298
- スタティック検証・・・・・・・・・・・・・・・・・・ 187
- ステッパー・・・・・・・・・・・・・・・・・・ 537, 538
- スパッタリング・・・・・・・・・・・・・・・・・・ 541
- スペクトラム・アナライザ・・・・・・・・・・・・ 732
- スラック・・・・・・・・・・・・・・・・・・ 392
- せ**
- 制御構文・・・・・・・・・・・・・・・・・・ 202, 208
- 静電気対策・・・・・・・・・・・・・・・・・・ 472
- 静電シールド・・・・・・・・・・・・・・・・・・ 768
- 静電気破壊モード・・・・・・・・・・・・・・・・・・ 472
- 成膜工程・・・・・・・・・・・・・・・・・・ 531, 534
- 正規表現・・・・・・・・・・・・・・・・・・ 610
- 積分型 A / D 変換・・・・・・・・・・・・・・ 152
- セットアップ解析・・・・・・・・・・・・・・ 387, 389, 390
- セットアップ時間・・・・・・・・・・・・・・ 391, 496
- 接合破壊・・・・・・・・・・・・・・・・・・ 473
- セルフアライン・・・・・・・・・・・・・・・・・・ 53
- セルベース方式・・・・・・・・・・・・・・・・・・ 482
- 閃亜鉛 (ZnS) 構造・・・・・・・・・・・・・・ 12
- 線形領域・・・・・・・・・・・・・・・・・・ 48, 51
- 洗浄工程・・・・・・・・・・・・・・・・・・ 539
- そ**
- ソース接地回路・・・・・・・・・・・・・・・・・・ 60, 87
- 相互コンダクタンス・・・・・・・・・・・・・・ 58, 72
- 増幅回路・・・・・・・・・・・・・・・・・・ 86
- 即時アサーション・・・・・・・・・・・・・・ 280
- 素子設計・・・・・・・・・・・・・・・・・・ 441
- 素子分離法・・・・・・・・・・・・・・・・・・ 532
- な**
- なぜなぜ分析手法・・・・・・・・・・・・・・ 812
- なだれ破壊・・・・・・・・・・・・・・・・・・ 30
- 名前渡し・・・・・・・・・・・・・・・・・・ 279
- に**
- 二重積分型 A / D 変換・・・・・・・・・・・・・・ 153
- ぬ**
- 熱ノイズ (熱雑音)・・・・・・・・・・・・・・ 778
- ね**
- ネットリスト・・・・・・・・・・・・・・・・・・ 674
- の**
- ノイズ・・・・・・・・・・・・・・・・・・ 758
- ノイズ解析・・・・・・・・・・・・・・・・・・ 692, 766
- た**
- 体積抵抗・・・・・・・・・・・・・・・・・・ 10
- 多重故障・・・・・・・・・・・・・・・・・・ 348
- ダイシング・・・・・・・・・・・・・・・・・・ 522, 556
- ダイナミック検証・・・・・・・・・・・・・・ 187, 333
- ダイナミック・パワー・・・・・・・・・・・・・・ 514
- ダイボンディング・・・・・・・・・・・・・・ 556
- タイミング検証・・・・・・・・・・・・・・ 319, 385, 485
- タイミング制約・・・・・・・・・・・・・・ 385, 387
- タイミング調整・・・・・・・・・・・・・・ 498
- タイミング E C O・・・・・・・・・・・・・・ 420
- ダイヤモンド構造・・・・・・・・・・・・・・ 11, 12, 13
- タグチメソッド・・・・・・・・・・・・・・ 815
- ダマシん・・・・・・・・・・・・・・・・・・ 508, 542
- 単一縮退故障・・・・・・・・・・・・・・ 348
- 短チャンネル・・・・・・・・・・・・・・・・・・ 85

索引

- 短絡故障・ 348
- ### ち
- 遅延故障・ 348
- 遅延モデル・ 406
- 逐次比較型 A / D 変換・ 154
- 蓄積層・ 41
- 知的財産権・ 838
- チャージポンプ回路・ 122
- 長チャンネル・ 85
- 直流増幅利得・ 97
- 直流解析 (D C 解析) ・ 685, 690
- 著作権・ 846
- ### つ
- ツェナー破壊・ 30
- ### て
- データ到達時間・ 393
- データ所要時間・ 393
- テイル電流・ 97
- 低域フィルタ・ 134, 171
- 定電圧回路・ 104
- 抵抗型 D / A 変換・ 174
- ディブリーション型 MOS ・ 54
- テクノロジー・マッピング・ 189
- デザインレビュー (D R) ・ 822
- デジタル P L L ・ 122, 125
- テストベンチ・ 277
- テスト容易化設計・ 342
- デュアル・ダマシン・ 509, 543, 548
- 電圧制御発振器・ 122, 130, 132
- 電磁シールド・ 768
- 伝導帯・ 13, 14, 15, 18, 21
- 伝導性ノイズ・ 763
- 電流加算 D / A 変換器・ 176
- 電流増幅率・ 52, 53, 59, 60
- 電流源回路・ 94
- 電流シンク回路・ 96
- ### と
- ドープ・ 17, 19
- 等価故障・ 337
- 透過質量・ 13
- 同期化回路・ 415
- 同期式カウンタ回路・ 297
- 同期リセット・ 298
- 統計処理・ 785
- 統計的タイミング解析・ 400
- 同相分除去比・ 93
- 独占禁止法・ 813
- 特許権・ 814
- ドナー順位・ 16
- ドリフト・ 12, 13
- ドリフト電流・ 15, 20
- ドレイン接地回路・ **60, 88**
- トレンチ分離・ 517
- ### は
- パーシャル・ハンドシェイク方式・ 420
- パーティショニング・ 358
- バイアスポイント解析・ 671
- 配線絡断・ 459
- バイナリ・カウンタ・ 299
- バイナリ・コード・ 155
- バイナリ抵抗型・ 167
- パイプライン型 A / D 変換・ 154
- バウンダリ・スキャン・ 361
- 波形ピュア・ 178

- ハザード・ 296
- バスタブカーブ・ 331
- パターン圧縮スキャン・ 351
- バックトラッキング・ 340
- バックアノテーション・ 443
- バックエンド設計・ 176
- パッケージ宣言・ 229
- パッケージ文・ 230
- パラメトリック解析・ 678
- パルス型同期化回路・ 418
- 反転層・ 34,35,42
- パンチスルー・ 46
- バンドギャップ・ 11,12
- バンドギャップ電圧源・ 99
- 半導体回路配置利用権・ 823
- ひ**
- ビア・ 496
- 表面準位・ 12,40
- 非飽和特性領域・ 78
- 非同期式カウンタ回路・ 297
- 非同期検証・ 411
- 非同期リセット・ 298
- 品質機能展開 (Q F D)・ 787
- ふ**
- ファンアウト・ 336
- フェルミ・ディラック分布関数・ 9,10,12
- フェルミ準位・ 10,11,16,20,31
- フィードバック回路・ 101
- フィンガタイプ・ 428
- フォトマスク・ 508
- フォトリソグラフィ・ 521
- フォトレジスト・ 522
- フォルスパス・ 320
- フォワードアノテーション・ 443
- 不純物半導体・ 7,10
- 不純物拡散工程・ 506
- 不正競争防止法・ 828
- 物理解析・ 370
- フラッシュ型 A / D 変換・ 149
- プラグマ・ 188
- フリッカノイズ・ 756
- ブリッジ故障・ 335
- フリップチップボンディング・ 542
- フルスキャン・ 347
- フルハンドシェイク方式・ 419
- プリプロセッサ・ 187
- フロアプラン・ 328,436,474
- プロセス文・ 236
- プロパティ演算子・ 273
- フロントエンド設計・ 176
- 分周器・ 117
- 分離テスト・ 345
- へ**
- ベース抵抗・ 63
- 平均自由時間・ 13
- 並列アサーション・ 271
- 並列比較型 A / D 変換・ 149
- 変数宣言・ 192
- 変数代入文・ 241
- ほ**
- ポート文・ 232
- ホールド解析・ 387,389
- ホールド時間・ 391,496
- 飽和特性領域・ 78

索引

放射性ノイズ	741	リソグラフィ	506
保護回路	462	リムーバル解析	380
保護素子	465	リングカウンタ	300
ポリシリコン	41, 48		
ま		る	
マウント	541	レイアウトエディタ	438
摩耗故障領域	331	レイアウト検証	440
3 2 マルチスキャン	362	レベル型同期化テスト回路	416
マルチ V t h 設計	504		
み		ろ	
む		ローパスフィルタ	132
め		ローカル配線	481
メタステーブル	295	ロジック B I S T	358
メモリ B I S T	358	論理圧縮	189
		論理合成	188, 313
も		わ	
文字列操作	590	ワイブル解析	809
モンテカルロ解析	673	ワイヤボンディング	541
や			
ゆ			
よ			
容量アレー D / A 変換	176		
ら			
ライブラリ宣言	229		
ラグフィルタ	136		
ラグリードフィルタ	134, 138		
ランダム関数	268		
ランダム検証	259, 277		
り			
リーク・パワー	501		
リオ - ダリング	349		
リカバリー解析	380		