

参考文献・出典・引用

1. 堀田厚生 著 ; 「半導体の基礎理論」, (株)技術評論社、初版 2001 年 11 月
2. 菊池正典 著 ; 「半導体とシステム LSI」, (株)日本実業出版社、初版 2006 年 6 月
3. Behzad Razavi 著、黒田忠広 監訳 ; 「アナログ CMOS 集積回路の設計 (基礎編)」, 丸善 (株)
4. Behzad Razavi 著、黒田忠広 監訳 ; 「アナログ CMOS 集積回路の設計 (応用編)」, 丸善 (株)
5. 谷口研二 著 ; 「CMOS アナログ回路入門」, CQ出版 (株)、初版 2005 年 1 月
6. 遠坂俊昭 著 ; 「PLL 回路の設計と応用」, CQ出版 (株)、初版 2003 年 11 月
7. 小宮浩 著 ; 「高周波 PLL 回路のしくみと設計法」, CQ出版 (株)、初版 2009 年 10 月
8. 米山寿一 著 ; 「図解 A/D コンバータ入門」, (株)オーム社、初版 1993 年 3 月
9. 枝均 著 ; 「Verilog による論理合成の基礎」, (株)テクのプレス、初版 2005 年 1 月
10. 枝均 著 ; 「VHDL による論理合成の基礎」, (株)テクのプレス、初版 2002 年 8 月
11. Design Wave Magazine 編集部 編 ; 「SystemVerilog 設計スタ - トアップ入門」, CQ出版 (株)、初版 2008 年 5 月
12. 堀桂太郎 著 ; 「PSoice で学ぶ電子回路設計入門」(株)電気書院、2008 年 7 月
13. 小野齊大・田谷文彦・三澤明 著 ; UNIX コマンドブック、2006 年 6 月、SoftBank Creative(株)
14. Arnold Robbins・Nelson H.F.Beebe 著、日向あおい訳 ; 詳解シェルスクリプト、2006 年 1 月、オライリー・ジャパン(株)
15. Cameron Newham・Bill Rosenblatt 著 ; 入門 bash、2005 年 10 月、オライリー・ジャパン(株)
16. Linda Lamb・Arnold Robbins 著 ; 入門 vi、2002 年 5 月、オライリー・ジャパン(株)
17. KENT WEB Perl 入門
<http://www.kent-web.com/perl/>
18. とほほの perl 入門
<http://www.tohoho-web.com/wwwperl.htm>
19. 平田豊 著 ; Perl トレーニングブック、2004 年 8 月。(株)ソーテック社
20. 内田保雄・富田満 著 ; Perl スクリプティング入門、1998 年 8 月、(株)オーム社
21. Spartan-3E スタートキット・ボードユーザーガイド UG230 (v1.0)、Xilinx 社、2006 年 3 月
http://japan.xilinx.com/support/documentation/boards_and_kits/j_ug230.pdf
22. Spartan-3E FPGA ファミリー・データシート DS312-4 (v3.6)、Xilinx 社、2007 年 5 月
http://japan.xilinx.com/support/documentation/data_sheets/j_ds312.pdf
23. Quartus II マニュアル、Altera 社、

参考文献・出典・引用

24. deign feature 2003年11月号:

25. EDN

<http://edn-japan.rbi-j.com/content/issue/2003/11/feature/feature02.html>

26. Tech-On

<http://techon.nikkeibp.co.jp/article/WORD/20090107/163735/>

27. (株)半導体理工学研究センター; 「設計RTLスタイルガイドVerlog編」, 初版2003年9月

28. Janick Bergeron 著 STARC/ARM/Synopsys 監訳; 「ベリフィケーション・メソドロジー・マニュアル」, CQ出版(株), 初版2006年4月

29. 「OPENCAD® V5.3(第2版)スタティック・タイミング・チェック PrimeTime™インタフェース編」, NECエレクトロニクス(株), 1999年11月

30. 「半導体 品質/信頼性ハンドブック」, NECエレクトロニクス(株)

31. 「静電気放電(ESD)破壊対策ガイド」, NECエレクトロニクス(株)

32. 特許庁

<http://www.jpo.go.jp/indexj.htm>

33. 三枝国際特許事務所

http://www.saegusa-pat.jp/index_j.htm

34. オシロスコープ入門

<http://www.cqpub.co.jp/column/books/2001a/11891osiro/default.htm>

35. 「HP-8560E ユーザーズ・ガイド スペアナ取扱説明書」, ヒューレット・パカード社

36. 安浦寛人 著; 「ハードウェア設計特論」の資料, 2007年5月

37. 相良岩男 著; 「A/D・D/A変換回路入門」, 日刊工業新聞社, 初版2003年3年

38. 岩田穆 著 「VLSI工学-基礎・設計編」, (株)コロナ社, 初版2006年10月

39. 「パッケージの紹介と解説」, 富士通(株)

40. 「SiPの現在と将来」, NECエレクトロニクス(株)

41. 日本アルテラ株式会社の小原 也氏の2008/10/31資料

42. 富士通「統計的STAの実用化技術」の資料

43. 富士通「統計的遅延解析技術」の資料

44. NEC OPENCAD V5.3 STAによるサインオフ編ユーザーズ・マニュアル

45. NEC OPENCAD V5.3 スタティック・タイミング・チェックPrimeTimeインタフェース編ユーザーズ・マニュアル

46. STARC「ばらつき考慮設計」資料

49. 小林春夫 著「完全デジタルPLL回路ADPLLを学ぶ」, 日経エレクトロニクス2009年6月1日号

50. 小沢利行 著；「PLL 周波数シンセサイザ回路設計法」、総合電子出版
51. SystemVerilogテストベンチチュートリアル、JEITA資料

【本書記載の社名および製品名について】

「第8章 開発ツール」に記載されている「Xilinx」、ザイリンクスのロゴ、ブランド ウィンドウ、ISE WebPACK、Spartan-3E、iMPACT およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。

また、「Altera」、アルテラのロゴ、ブランド ウィンドウ、Quartus およびアルテラが所有する製品名等は、米国 Altera Inc. の米国における登録商標です。

また、「Cadence」、ケーデンスのロゴ、ブランド ウィンドウ、OrCAD およびケーデンスが所有する製品名等は、米国 Cadence Inc. の米国における登録商標です。

さらに、本書に記載されている社名および製品名やツール名は一般に開発メーカーの商標登録です。本文中では、TM、^R、^Cの各表示を省略して明記していません。

索引

数字 / 記号

1

| | |
|---------------|-----|
| 1 T - S A R M | 187 |
| 1次 変調 | 170 |
| 1 / N分周器 | 126 |

2

| | |
|-------------------|-----|
| 2次 変調 | 162 |
| 2ステップ抵抗型 D / A 変換 | 177 |

英字 / ギリシャ文字

A

| | |
|------------|-----------------------------------|
| A / D 変換回路 | 152 |
| A D P L L | 128 |
| always 文 | 212, 232, 237, 239, 240, 242, 245 |
| assign 文 | 230, 232, 234, 235, 246, 256 |
| At-speed | 422, 434, 444 |
| A T P G | 351, 432, 434, 438, 444 |

B

| | |
|----------|--------------------|
| B C Dコード | 165 |
| B G A | 622, 623 |
| B I S T | 447, 448, 449, 450 |
| B O S T | 451, 453 |

C

| | |
|-------------|---------------|
| Capture CIS | 761 |
| C M P | 570, 571, 572 |
| C M R R | 101 |
| C T S | 348, 364, 366 |
| C V D | 596, 610 |
| C Z 炉 | 589 |

D

| | |
|----------------|-------------------------|
| D / A 変換回路 | 165, 172 |
| D - F F | 332 |
| D C O 回路 | 131 |
| Dラッチ | 332 |
| D F M | 569 |
| D F T | 422, 431, 434, 457 |
| D F T compiler | 457 |
| D L L | 122, 123 |
| D R A M | 192 |
| D R E F M | 887 |
| D R C | 501, 512, 527, 559, 560 |

E

| | |
|-----------|----------|
| E B 処理 | 565 |
| E C O | 366, 558 |
| e D R A M | 190 |
| E M C | 827 |
| E M I | 828 |
| E M S | 828 |
| E O S | 534 |
| E R C | 545, 559 |
| e m a c s | 646 |

F

| | |
|-------------|--------------------|
| False Path | 398 |
| F T A | 884 |
| F B G A | 626 |
| F e R A M | 205 |
| F R A M | 206 |
| F I B | 464 |
| F I F O | 188, 189, 478, 479 |
| F I R 型フィルタ | 168 |

| | | | |
|---------------|-------------|-------------------|----------------|
| F M E A | 883 | M | |
| F P G A | 452,696,718 | M I S R | 443,447 |
| function 文 | 230,232,237 | M R A M | 204 |
| G | | Multi Cycle Path | 398 |
| Gated Clock | 401,402 | M T B F | 881 |
| Gate DRC | 399 | M T T F | 881 |
| generate 文 | 230,232 | M T T R | 882 |
| H | | M U X スキャン | 437,439 |
| H D L | 210 | module | 228 |
| H i S I M モデル | 775 | N | |
| I | | N A N D 型フラッシュメモリ | 203 |
| I d d q テスト | 434, 453 | N O R 型フラッシュメモリ | 203 |
| I d d t テスト | 454 | n 回検出テスト | 452 |
| I I R 型フィルタ | 168 | O | |
| inital 文 | 309 | O F | 590 |
| I O セル | 521,527,538 | O P C | 546,566 |
| I P | 213,348,350 | O r C A D | 761 |
| IR-Drop | 365,368,562 | O V L | 329 |
| I S E | 696 | P | |
| I S O 9 0 0 0 | 855 | P C B | 455 |
| J | | P c e l l | 509,510,515 |
| J K - F F | 331 | P D K | 515 |
| K | | P D C A | 875 |
| L | | p e r l | 648 |
| L F S R | 447,448 | P L L | 122,123 |
| L I N U X | 630 | P N 接合 | 27,29,30,32,36 |
| L S I テスター | 424 | PrimeTime | 398,405 |
| L O C O S 分離 | 593 | procedure 文 | 277 |
| L o C 方式 | 447,448 | P S p i c e | 738 |
| L o S 方式 | 447,448 | Q | |
| L Q F P | 625 | Q A 体系図 | 857 |
| L V S | 501,515,561 | Q C 工程表 | 857 |

索引

| | | | |
|---------------|---------|-------------|---------|
| QC七つ道具 | 860 | TAP | 359 |
| QC新七つ道具 | 866 | task文 | 232,262 |
| Quratus | 718 | TCL | 390 |
| R | | TDC回路 | 130 |
| R-2Rラダー抵抗型 | 177 | TetraMax | 458,460 |
| RAM | 181 | U | |
| RAM-BIST | 449 | UNIX | 630,631 |
| RC抽出 | 368 | V | |
| Rise/Fall解析 | 397 | VCO | 123,126 |
| ROM | 181,197 | VHDL | 265,267 |
| RS-FF | 330 | Virtuoso | 513,514 |
| RTL | 210 | Veriエディタ | 643 |
| RTLチェッカー | 218 | Verilog-AMS | 212 |
| S | | VerilogHDL | 222 |
| S/N比 | 824 | VMM | 327 |
| SCR | 439 | W | |
| SDCフォーマット | 387,390 | WPP | 626 |
| SEM | 462,894 | X | |
| SiP | 626 | Y | |
| SKILL | 510 | Z | |
| SoC | 218 | ZnS構造 | 14 |
| SOI | 592 | 型A/D変換 | 160 |
| SPICE | 738 | 型A/D変換 | 160 |
| SPICEモデル | 738 | | |
| SRAM | 183 | | |
| SSTA | 413 | | |
| STA | 387 | | |
| SystemC | 212 | | |
| SystemVerilog | 212,294 | | |
| T | | | |
| T-FF | 331 | | |
| TAB | 620 | | |

五十音

あ

| | |
|-----------|-----|
| アーキテクチャ宣言 | 268 |
| アーリー効果 | 71 |
| アイソレータ | 579 |
| アイ・パターン | 848 |

- アクセプタ準位 25, 26, 34
 アクティブフィルタ 145
 アサーション記述 294, 295, 307
 アサーション検証 218
 アナログPLL 207
 アノテーション 516
 アドホック手法 343
 アライメント工程 599
 アバーチャ効果 168
 アンテナ対策 569
- い**
- イオン注入工程 598, 601
 移動度 20, 22, 50
 位相比較器 124, 125, 126, 134
 意匠権 903, 907
 インゴット 589
 インスタンス文 230, 232
 インバータ回路 522
- う**
- ウェル形成 585
 ウェル化 590
 ウェル調達 592
 ウェル洗浄 593
- え**
- エッジ型同期化回路 472
 エッチング工程 593
 エネルギー準位 16, 18, 20, 25
 エレクトロマイグレーション 544, 550, 564
 エンハンスメント型MOS 56
 演算子 234, 235, 272, 274, 652
 エンティティ宣言 268
- お**
- オシロスコープ 778
 オフセット誤差 175
 オープン故障 427
- か**
- カーネル 631
 ガードリング 511, 517, 519
 階層設計 251, 364, 547
 階段接合 35, 36
 カウンタ回路 330
 拡散 19
 拡散工程 583
 拡散係数 21, 22, 28
 拡散容量 32
 拡散電流 21, 28, 29, 30
 拡張スキャン 444, 446
 可制御性 433
 可観測性 433
 化合物半導体 13, 14
 価電子帯 15, 16, 18, 25, 26, 32
 カスコード接続回路 89
 仮想プロトタイピング 364
 加速度試験 888
 過度解析 744, 756
 カレントミラー回路 100, 105
 環境変数 632, 638, 639
 感応度解析 757
 ガンメルプーンモデル 769
 ガンメルプーン直流モデル 769
 ガンメルプーン小信号モデル 772
 ガンメルプーン大信号モデル 771
- き**
- 共有結合 13, 14

索引

| | | | |
|-------------|--------------------|------------------|----------|
| 禁止帯 | 15 | 工程能力指数 (C p k) | 874 |
| 禁制帯 | 15 | 交流解析 (A C 解析) | 752 |
| 基板バイアス | 53 | 故障解析 | 461, 893 |
| 寄生抵抗 | 54, 76 | 故障検出率 | 426 |
| 寄生容量 | 54, 78 | 故障シミュレーション | 430 |
| 寄生インダクタンス | 79 | 故障診断 | 462, 894 |
| 機能力バレッジ | 212, 297, 320 | 故障モード | 461, 880 |
| 機能検証 | 215, 297, 347 | 故障モデル | 426, 427 |
| 許容入力範囲 | 101 | コンタクト | 524 |
| 帰還回路 | 110 | コンパレータ | 153, 158 |
| く | | コンポーネント宣言 | 285 |
| 偶発故障 | 423, 881 | さ | |
| 組合せ回路 | 234, 282 | 再結合 | 18, 30 |
| グレー・コード | 165, 480 | 再生フィルタ | 172 |
| グレーコードカウンタ | 339, 481 | サイリスタ | 541 |
| クロック・コンパレータ | 159 | サインオフ検証 | 348, 367 |
| クロックスキュー | 342, 552 | 差動増幅回路 | 99 |
| クロックゲーティング | 352 | サブルーチン | 666, 667 |
| クロスカバレッジ | 321 | サンプルホールド回路 | 165, 166 |
| クロストーク | 417, 517 | 参照渡し | 306 |
| グローバル配線 | 553, 554 | し | |
| け | | シーケンス演算子 | 611 |
| ゲート接地回路 | 60, 92 | 時間制御 | 277, 291 |
| ゲートアレー方式 | 542 | シグナルインテグリティ検証 | 369, 562 |
| 形式検証 | 216, 347, 362, 483 | 実装工程 | 584 |
| 傾斜接合 | 35, 36 | ジッタ | 140, 847 |
| ゲイン誤差 | 174, 175 | ジッタ抑圧 | 140 |
| 元素半導体 | 13, 14 | 実用新案 | 907 |
| こ | | シフトレジスタ回路 | 330, 340 |
| 格子間隔 | 15 | シミュレータ | 210, 216 |
| 後置フィルタ | 173 | シリコンウェハ | 588 |
| 合成制約 | 219 | シリサイド | 613 |

| | | | |
|--------------|------------------------|----------------|---------------|
| 弱反転領域 | 85 | 静電破壊保護 | 536 |
| シェル | 631 | 静電シールド | 834 |
| シェルスクリプト | 642 | 静電気破壊モード | 533 |
| 順序回路 | 240, 282 | 成膜工程 | 595 |
| 出力段バッファ回路 | 119 | 正規表現 | 672 |
| 冗長故障 | 430 | 積分型 A / D 変換 | 154 |
| 状態密度関数 | 16, 18 | セットアップ解析 | 389, 391, 392 |
| 初期故障領域 | 423 | セットアップ時間 | 393, 557 |
| 商標権 | 909 | 接合破壊 | 534 |
| ジョンソン・カウンタ | 339 | セルフアライン | 55 |
| 真性半導体 | 12, 16, 17, 18, 22, 24 | セルベース方式 | 542 |
| 真空準位 | 37 | 閃亜鉛 (ZnS 構造) | 14 |
| シングル・ダマシ | 570, 605 | 線形領域 | 50, 53 |
| 信号代入文 | 279 | 洗浄工程 | 612 |
| 信頼性試験 | 888 | そ | |
| す | | ソース接地回路 | 62, 89 |
| スキュー抑圧 | 140 | 相互コンダクタンス | 60, 74 |
| スキャン F F | 438 | 増幅回路 | 88 |
| スキャンテスト | 436 | 即時アサーション | 308 |
| スキャンパス | 436, 437 | 素子設計 | 501 |
| スキャン・チェーン | 438 | 素子分離法 | 593 |
| スキャンオーダリング | 439 | な | |
| スコアボード | 324 | なぜなぜ分析手法 | 876 |
| スケジューリング機能 | 326 | なだれ破壊 | 32 |
| スタティック検証 | 217 | 名前渡し | 307 |
| ステッパー | 600 | に | |
| スパッタリング | 603 | 二重積分型 A / D 変換 | 155 |
| スペクトラム・アナライザ | 798 | ぬ | |
| スラック | 394 | ね | |
| せ | | 熱ノイズ (熱雑音) | 843, 844 |
| 制御構文 | 237 | ネットリスト | 740, 741 |
| 静電破壊対策 | 533 | の | |

索引

ノイズ・・・・・・・・・・・・・・・・ 824
ノイズ解析・・・・・・・・・・・・ 758, 832

た

体積抵抗・・・・・・・・・・・・ 12
多重故障・・・・・・・・・・・・ 428
ダイシング・・・・・・・・・・・・ 584, 618
ダイナミック検証・・・・・・・・ 217, 361
ダイナミック・パワー・・・・ 575
ダイボンディング・・・・・・・・ 584
タイミング検証・・・・・・・・ 347, 387
タイミング制約・・・・・・・・ 389
タイミング調整・・・・・・・・ 559
タイミングECO・・・・・・・・ 421
ダイヤモンド構造・・・・ 13, 14, 15
タグチメソッド・・・・・・・・ 879
ダマシン・・・・・・・・・・・・ 569, 604
単一縮退故障・・・・・・・・ 428
縮退故障・・・・・・・・・・・・ 427
短チャンネル・・・・・・・・・・・・ 87
短絡故障・・・・・・・・・・・・ 428

ち

遅延故障・・・・・・・・・・・・ 428
遅延モデル・・・・・・・・・・・・ 426
逐次比較型 A / D 変換・・・・ 156
蓄積層・・・・・・・・・・・・ 43
知的財産権・・・・・・・・・・・・ 902
チャージポンプ回路・・・・ 124
長チャンネル・・・・・・・・・・・・ 87
直流増幅利得・・・・・・・・ 98
直流解析 (D C 解析) ・・・・ 751, 756
著作権・・・・・・・・・・・・ 910

つ

ツェナー破壊・・・・・・・・・・・・ 32

て

データ到達時間・・・・・・・・ 393, 394
データ所要時間・・・・・・・・ 393, 394
テイル電流・・・・・・・・・・・・ 99
低域フィルタ・・・・・・・・ 136
定電圧回路・・・・・・・・・・・・ 107
抵抗型 D / A 変換・・・・ 176
ディプリーション型 MOS・・・・ 56
テクノロジー・マッピング・・・・ 219
デザインレビュー (D R) ・・・・ 886
デジタル P L L・・・・・・・・ 127
テストベンチ・・・・・・・・ 294, 305
テスト容易化設計・・・・ 422
デュアル・ダマシン・・・・ 570, 605
デュアル・ポート S R A M ・・・・ 187
電圧制御発振器・・・・・・・・ 123, 134, 136
電磁シールド・・・・・・・・ 834
伝導帯・・・・・・・・・・・・ 15, 16, 18, 20, 23
伝導性ノイズ・・・・・・・・ 829
電流加算 D/A 変換器・・・・ 178
電流増幅率・・・・・・・・ 54, 55, 61, 62
電流源回路・・・・・・・・・・・・ 96
電流シンク回路・・・・・・・・ 98

と

ドープ・・・・・・・・・・・・ 19, 21
等価故障・・・・・・・・・・・・ 429
等価性検証・・・・・・・・・・・・ 484
透過質量・・・・・・・・・・・・ 15
同期化回路・・・・・・・・・・・・ 469
同期式カウンタ回路・・・・ 335, 336
同期リセット・・・・・・・・ 337

| | | | |
|-----------------|----------------|----------------|--------------------|
| 統計処理 | 873 | バンドギャップ | 16, 17, 24, 26 |
| 統計のタイミング解析 | 413 | バンドギャップ電圧源 | 108 |
| 同相分除去比 | 95 | バンドギャップ定電圧回路 | 109 |
| 独占禁止法 | 903 | 半導体回路配置利用権 | 913 |
| 特許権 | 904 | | |
| ドナー順位 | 18 | ひ | |
| ドリフト | 14, 15 | ピア | 570, 571 |
| ドリフト電流 | 17, 22 | 表面準位 | 13 |
| ドレイン接地回路 | 62, 90 | 非飽和特性領域 | 85 |
| トレンチ分離 | 594 | 非同期SRAM | 186 |
| は | | 非同期式カウンタ回路 | 335, 336 |
| パーシャル・ハンドシェイク方式 | 474 | 非同期検証 | 466 |
| バイアスポイント解析 | 740, 756, 767 | 非同期リセット | 337 |
| 配線溶断 | 534 | 品質機能展開(QFD) | 875 |
| バイナリ・カウンタ | 337 | ふ | |
| バイナリ・コード | 339 | ファンアウト | 336 |
| バイナリ抵抗型 | 176 | フィードバック回路 | 110 |
| パイプライン型A/D変換 | 163 | フェルミ・ディラック分布関数 | 16, 18 |
| バウンダリ・スキャン | 455 | フェルミ準位 | 16, 17, 24, 26, 27 |
| 波形ピュア | 217 | フォトマスク | 585 |
| ハザード | 334 | フォトリソグラフィ | 597 |
| バスタブカーブ | 880, 881 | フォトレジスト | 598 |
| パターン圧縮スキャン | 442 | フォルスパス | 360 |
| バックトラッキング | 433 | フォワードアノテーション | 516 |
| バックアノテーション | 516 | 不純物半導体 | 14, 17, 18, 22 |
| バックエンド設計 | 347, 348 | 不純物拡散工程 | 583 |
| パッケージ宣言 | 267 | 不正競争防止法 | 913 |
| パッケージ文 | 269 | 物理解析 | 463 |
| パラメトリック解析 | 767 | フラッシュ型A/D変換 | 158 |
| パルス型同期化回路 | 472 | フラッシュメモリ | 200 |
| 反転層 | 41, 42, 48, 51 | ブラグマ | 227 |
| パンチスルー | 58 | フリッカノイズ | 844 |
| | | ブリッジ故障 | 426, 427 |

索引

| | | | |
|---------------|--------------------|--------------|---------------|
| フリップチップボンディング | 619 | み | |
| フルスキャン | 438 | む | |
| フルハンドシェイク方式 | 474 | め | |
| プリプロセッサ | 226 | メタステーブル | 466, 467 |
| フロアプラン | 348, 363, 548 | メモリ B I S T | 434, 448, 449 |
| プロセス文 | 274 | メモリ回路 | 181 |
| プロパティ演算子 | 311 | も | |
| フロントエンド設計 | 216, 347 | 文字列操作 | 670 |
| 分離テスト | 436 | モンテカルロ解析 | 758 |
| へ | | や | |
| ベース抵抗 | 69 | ゆ | |
| 平均自由時間 | 20 | よ | |
| 並列アサーション | 309 | 容量アレーD / A変換 | 178 |
| 変数宣言 | 230 | ら | |
| 変数代入文 | 279 | ライブラリ宣言 | 267 |
| ほ | | ラグフィルタ | 142 |
| ポート文 | 270 | ラグリードフィルタ | 142, 145 |
| ホールド解析 | 389, 391 | ランダム関数 | 306 |
| ホールド時間 | 391, 398, 472, 557 | ランダム検証 | 297, 315 |
| 飽和特性領域 | 85, 86 | り | |
| 放射性ノイズ | 830 | リーク・パワー | 575 |
| 保護回路 | 536 | リオ・ダリング | 440 |
| 保護素子 | 540 | リカバリー解析 | 392 |
| ポリシリコン | 37, 48 | リソグラフィ | 585, 601 |
| ポリシリコンゲート | 55 | リムーバル解析 | 392 |
| ま | | リングカウンタ | 338 |
| マウント | 618 | る | |
| 摩耗故障領域 | 423 | れ | |
| マスクROM | 197 | レイアウトエディタ | 544 |
| マルチV t h設計 | 577 | レイアウト検証 | 515 |
| マルチスキャン | 442 | レベル型同期化テスト回路 | 471 |
| マルチフィンガタイプ | 502 | ろ | ここから |

| | |
|--------------|----------|
| ローパスフィルタ | 125 |
| ローカル配線 | 555 |
| ロジック B I S T | 448, 450 |
| 論理圧縮 | 213 |
| 論理合成 | 218, 370 |
| 論理合成制約 | 370 |

わ

| | |
|-----------|---------------|
| ワイブル解析 | 897 |
| ワイヤボンディング | 618, 619, 628 |

